



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년05월29일
(11) 등록번호 10-1740982
(24) 등록일자 2017년05월23일

(51) 국제특허분류(Int. Cl.)
G06F 17/50 (2006.01) H01L 29/732 (2006.01)
(52) CPC특허분류
G06F 17/5068 (2013.01)
G06F 17/5063 (2013.01)
(21) 출원번호 10-2016-0011256
(22) 출원일자 2016년01월29일
심사청구일자 2016년01월29일
(56) 선행기술조사문헌
KR101580828 B1*
KR1020140078326 A*
KR1020140107345 A
KR1020140011570 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
서울시립대학교 산학협력단
서울특별시 동대문구 서울시립대로 163 (전농동, 서울시립대학교내)
(72) 발명자
신창환
서울특별시 동대문구 서울시립대로 163 서울시립대학교 정보기술관 404호
이현재
서울특별시 동대문구 서울시립대로 163 서울시립대학교 정보기술관 228호
(74) 대리인
이창범, 박준용

전체 청구항 수 : 총 10 항

심사관 : 박승철

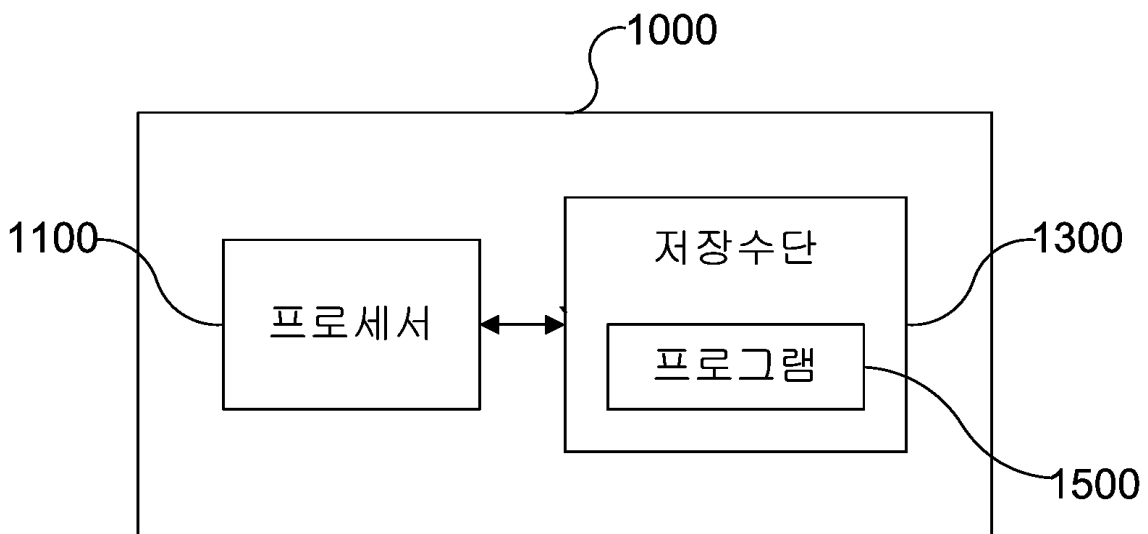
(54) 발명의 명칭 **입의 변화를 최소화하는 디자인 파라미터 결정 장치 및 결정 방법**

(57) 요약

본 발명은 입의 변화의 영향을 최소화하도록 디자인 파라미터, 예컨대 소스 영역의 돌출부의 두께를 최적화하여 결정할 수 있어서 입의 변화에 대해 강인한(robust) 소자를 반도체 소자를 설계할 수 있는 입의 변화를 최소화하는 디자인 파라미터 결정 장치 및 결정 방법에 관한 것이다.

(a) 수직 구조 터널 전계 효과 트랜지스터의 소자 파라미터들을 입력받는 단계; (b) 돌출부의 두께(Tsov)를 변화시키면서 상기 수직 구조 터널 전계 효과 트랜지스터의 LER(Line Edge Roughness)에 따른 소자 특성 및 RDF(Random Dopant Fluctuation)에 따른 소자 특성을 상기 소자 파라미터들을 기초로 산출하는 단계; 및 (c) 상기 LER에 따른 소자 특성 및 상기 RDF에 따른 소자 특성을 기초로 상기 돌출부의 최종 두께를 결정하는 단계를 포함하는 입의 변화를 최소화하는 디자인 파라미터 결정 방법이 제공된다.

대표도 - 도1



(52) CPC특허분류

H01L 29/7311 (2013.01)

H01L 29/732 (2013.01)

G06F 2217/16 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711027294

부처명 미래창조과학부

연구관리전문기관 한국산업기술평가관리원

연구사업명 전자정보디바이스산업원천기술개발

연구과제명 10nm 이하급 소자에 대한 원자 수준의 공정-소자 모델링 기술

기여율 1/1

주관기관 서울대학교산학협력단

연구기간 2015.06.01 ~ 2016.05.31

명세서

청구범위

청구항 1

돌출부를 포함하는 소스 영역; 상기 돌출부의 일 측에 구비되는 제1 게이트 전극; 상기 돌출부의 상기 제1 게이트 전극과 대향하는 측에 구비되는 제2 게이트 전극; 상기 돌출부 상에 상기 제1 게이트 전극과 상기 제2 게이트 전극의 사이에 구비되는 채널 영역; 상기 채널 영역의 상부에 구비되는 드레인 영역; 및 상기 채널 영역과 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 경계면과, 상기 소스 영역과 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 경계면과, 상기 드레인 영역 중 적어도 상기 제1 게이트 전극 및 상기 제2 게이트 전극과 대향하는 면에 구비되는 절연막을 포함하고, 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 길이(Lgate)는, 상기 채널 영역의 길이(Lchannel) 및 상기 돌출부의 두께(Tsov)에 대해서, $Lgate = Lchannel + Tsov$ 를 만족하는 것인 수직 구조 터널 전계 효과 트랜지스터의 임의 변화를 최소화하는 디자인 파라미터 결정 장치로서,

상기 디자인 파라미터 결정 장치는 프로그램을 저장하는 저장 수단 및 상기 프로그램을 실행하는 프로세서를 포함하며,

상기 프로그램은,

상기 수직 구조 터널 전계 효과 트랜지스터의 소자 파라미터들을 입력받는 제1 인스트럭션;

상기 돌출부의 두께(Tsov)를 변화시키면서 상기 수직 구조 터널 전계 효과 트랜지스터의 LER(Line Edge Roughness)에 따른 소자 특성 및 RDF(Random Dopant Fluctuation)에 따른 소자 특성을 상기 소자 파라미터들을 기초로 산출하는 제2 인스트럭션; 및

상기 LER에 따른 소자 특성 및 상기 RDF에 따른 소자 특성을 기초로 상기 돌출부의 최종 두께를 결정하는 제3 인스트럭션

을 포함하는 임의 변화를 최소화하는 디자인 파라미터 결정 장치.

청구항 2

제1항에 있어서,

상기 소자 파라미터들은 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 길이(Lgate), 상기 돌출부의 폭(Wsov), 상기 돌출부를 제외한 상기 소스 영역의 두께(Tsource), 상기 소스 영역 및 상기 드레인 영역의 도핑 농도, 상기 채널 영역의 도핑 농도, 상기 소스 영역과 상기 드레인 영역과 상기 채널 영역의 재질, 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 재질, 상기 수직 구조 터널 전계 효과 트랜지스터의 등가 산화막 두께, 상기 수직 구조 터널 전계 효과 트랜지스터의 게이트 일함수 및 공급 전압 중 적어도 하나를 포함하는 것인 임의 변화를 최소화하는 디자인 파라미터 결정 장치.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 LER에 따른 소자 특성은 상기 수직 구조 터널 전계 효과 트랜지스터의 문턱 전압(V_{TH})의 LER에 따른 분산(σV_{TH-LEP})을 포함하는 것이고,

상기 RDF에 따른 소자 특성은 상기 수직 구조 터널 전계 효과 트랜지스터의 문턱 전압(V_{TH})의 RDF에 따른 분산(σV_{TH-RDF})을 포함하는 것인 임의 변화를 최소화하는 디자인 파라미터 결정 장치.

청구항 5

제4항에 있어서,

상기 제3 인스트럭션은

$\sqrt{(\sigma V_{TH-LEP})^2 + (\sigma V_{TH-RDF})^2}$ 값을 산출했을 때

상기 $\sqrt{(\sigma V_{TH-LEP})^2 + (\sigma V_{TH-RDF})^2}$ 값이 최소가 되는 경우의 상기 돌출부의 두께(Tsov)를 상기 돌출부의 최종 두께로 결정하는 제3-1 인스트럭션을 포함하는 것인 임의의 변화를 최소화하는 디자인 파라미터 결정 장치.

청구항 6

제4항에 있어서,

상기 LER에 따른 소자 특성 및 상기 RDF에 따른 소자 특성은 상기 수직 구조 터널 전계 효과 트랜지스터의 서브스레숧드 슬로프(sub-threshold slope) 값을 더 포함하는 것이고,

상기 제3 인스트럭션은 상기 서브스레숧드 슬로프 값이 60mV/decade 이하인 경우 중에서

$\sqrt{(\sigma V_{TH-LEP})^2 + (\sigma V_{TH-RDF})^2}$ 값을 산출했을 때 상기 $\sqrt{(\sigma V_{TH-LEP})^2 + (\sigma V_{TH-RDF})^2}$ 값이 최소가 되는 경우의

상기 돌출부의 두께(Tsov)를 상기 돌출부의 최종 두께로 결정하는 제3-2 인스트럭션을 포함하는 것인 임의의 변화를 최소화하는 디자인 파라미터 결정 장치.

청구항 7

돌출부를 포함하는 소스 영역; 상기 돌출부의 일 측에 구비되는 제1 게이트 전극; 상기 돌출부의 상기 제1 게이트 전극과 대향하는 측에 구비되는 제2 게이트 전극; 상기 돌출부 상에 상기 제1 게이트 전극과 상기 제2 게이트 전극의 사이에 구비되는 채널 영역; 상기 채널 영역의 상부에 구비되는 드레인 영역; 및 상기 채널 영역과 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 경계면과, 상기 소스 영역과 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 경계면과, 상기 드레인 영역 중 적어도 상기 제1 게이트 전극 및 상기 제2 게이트 전극과 대향하는 면에 구비되는 절연막을 포함하고, 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 길이(Lgate)는, 상기 채널 영역의 길이(Lchannel) 및 상기 돌출부의 두께(Tsov)에 대해서, Lgate = Lchannel + Tsov를 만족하는 것인 수직 구조 터널 전계 효과 트랜지스터의 임의의 변화를 최소화하는 디자인 파라미터 결정 방법으로서,

- (a) 상기 수직 구조 터널 전계 효과 트랜지스터의 소자 파라미터들을 입력받는 단계;
- (b) 상기 돌출부의 두께(Tsov)를 변화시키면서 상기 수직 구조 터널 전계 효과 트랜지스터의 LER(Line Edge Roughness)에 따른 소자 특성 및 RDF(Random Dopant Fluctuation)에 따른 소자 특성을 상기 소자 파라미터들을 기초로 산출하는 단계; 및
- (c) 상기 LER에 따른 소자 특성 및 상기 RDF에 따른 소자 특성을 기초로 상기 돌출부의 최종 두께를 결정하는 단계

를 포함하는 임의의 변화를 최소화하는 디자인 파라미터 결정 방법.

청구항 8

제7항에 있어서,

상기 소자 파라미터들은 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 길이(Lgate), 상기 돌출부의 폭(Wsov), 상기 돌출부를 제외한 상기 소스 영역의 두께(Tsource), 상기 소스 영역 및 상기 드레인 영역의 도핑 농도, 상기 채널 영역의 도핑 농도, 상기 소스 영역과 상기 드레인 영역과 상기 채널 영역의 재질, 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 재질, 상기 수직 구조 터널 전계 효과 트랜지스터의 등가 산화막 두께, 상기 수직 구조 터널 전계 효과 트랜지스터의 게이트 일함수 및 공급 전압 중 적어도 하나를 포함하는 것인 임의의 변화를 최소화하는 디자인 파라미터 결정 방법.

청구항 9

삭제

청구항 10

제7항에 있어서,

상기 LER에 따른 소자 특성은 상기 수직 구조 터널 전계 효과 트랜지스터의 문턱 전압(V_{TH})의 LER에 따른 분산 (σV_{TH-LER})을 포함하는 것이고,

상기 RDF에 따른 소자 특성은 상기 수직 구조 터널 전계 효과 트랜지스터의 문턱 전압(V_{TH})의 RDF에 따른 분산 (σV_{TH-RDF})을 포함하는 것인 임의 변화를 최소화하는 디자인 파라미터 결정 방법.

청구항 11

제10항에 있어서,

상기 단계 (c)는,

$\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 값을 산출했을 때 상기 $\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 값이 최소가 되는 경우의 상기 돌출부의 두께(T_{sov})를 상기 돌출부의 최종 두께로 결정하는 단계를 포함하는 것인 임의 변화를 최소화하는 디자인 파라미터 결정 방법.

청구항 12

제10항에 있어서,

상기 LER에 따른 소자 특성 및 상기 RDF에 따른 소자 특성은 상기 수직 구조 터널 전계 효과 트랜지스터의 서브스레숄드 슬로프(sub-threshold slope) 값을 더 포함하는 것이고,

상기 단계 (c)는, 상기 서브스레숄드 슬로프 값이 60mV/decade 이하인 경우 중에서

$\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 값을 산출했을 때 상기 $\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 값이 최소가 되는 경우의 상기 돌출부의 두께(T_{sov})를 상기 돌출부의 최종 두께로 결정하는 단계를 포함하는 것인 임의 변화를 최소화하는 디자인 파라미터 결정 방법.

발명의 설명

기술 분야

[0001] 본 발명은 임의 변화를 최소화하는 디자인 파라미터 결정 장치 및 결정 방법에 관한 것으로, 더욱 구체적으로는 임의 변화의 영향을 최소화하도록 디자인 파라미터, 예컨대 소스 영역의 돌출부의 두께를 최적화하여 결정할 수 있어서 임의 변화에 대해 강인한(robust) 소자를 반도체 소자를 설계할 수 있는 임의 변화를 최소화하는 디자인 파라미터 결정 장치 및 결정 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자 설계 기술 및 공정 기술의 발전에 따라서, 반도체 칩 내부에 배치되는 트랜지스터의 개수는 급격히 증가하고 있다. 예컨대 최근 듀얼 코어 이상의 마이크로프로세서에는 칩 당 10억 개 이상의 다수의 트랜지스터가 배치된다.

[0003] 다양한 트랜지스터 중에서 특히 MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)은 현재 가장 많이 사용되고 있는 반도체 소자이다.

[0004] MOSFET은 실리콘 기판 위에 소스, 드레인 및 게이트의 3개의 단자가 배치되는 구성을 가진다. 게이트에 인가되는 전압으로 인하여 발생하는 전기장에 의해서 전류를 흐르게 하는 캐리어가 이동할 수 있는 채널 또는 반전 층을 형성하는 것에 의해서 MOSFET은 동작한다.

[0005] 한편 반도체 칩 내부에서 단위 면적당 트랜지스터의 개수를 증가시키기 위해서는, 소스와 드레인 사이의 간격, 즉 게이트의 물리적인 길이를 줄여야 하며, 이에 따라서 MOSFET 내에서 채널 전체 영역을 제어하는 능력[gate-to-channel capacitive coupling]이 점점 약화되는 현상이 발생한다. 이를 개선하기 위해서는 채널 영역의 불순

물 농도가 지속적으로 증가하여야 하며, 그 결과 트랜지스터의 문턱 전압(threshold voltage, V_T)을 지속적으로 감소시키지 못한다는 문제가 발생한다. 또한 채널 영역을 제어하는 능력이 약해진 결과, 게이트에서 가장 멀리 떨어진 채널의 일부 영역의 경우 트랜지스터가 오프 상태인 경우에도 미세한 누설 전류가 흐르는 현상도 발생한다.

[0006] 한편 채널 전체 영역을 제어하는 능력을 향상시키기 위해서, 게이트와 소자 사이의 절연 역할을 수행하는 산화층의 두께도 줄여야 한다. 그러나 산화층의 두께가 얇아짐에 따라 절연 기능이 제대로 수행되지 못하여 소자에서 게이트로 흐르는 누설 전류가 급격히 증가한다.

[0007] 한편 MOSFET의 동작 특성을 결정하는 중요한 요인 중 하나는 공정에 따른 변화(process-induced variation), 즉 임의의 변화(random variation)이다. 임의의 변화를 가져 오는 요인 중 대표적인 것은, 예컨대 포토레지스트가 빛에 반응하면서 발생하는 게이트 선폭 변화 현상인 LER(Line Edge Roughness)과, 불순물 주입이 이온의 총 개수 및 위치가 일정하지 않은 RDF(Random Dopant Fluctuation)와, 다결정질(Poly-crystalline) 형태의 게이트 물질에서 서로 다른 오리엔테이션(orientation)을 가지는 그레인(grain)이 생성되어 일함수가 변화하는 WFV(Work-function variation) 등을 들 수 있으며, 이러한 임의의 변화는 CMOS 기술 발전에 가장 큰 걸림돌이 되고 있다.

[0008] 예컨대 한국등록특허 제10-1506902호(특허문헌 1)는 WFV에 의해서 발생하는 임의의 변화를 최소화하는 평판 트랜지스터의 일함수 분산 결정 장치 및 방법을 개시하고 있다.

[0009] 그러나 한국등록특허 제10-1506902호는 기존 반도체 소자에서 임의의 변화를 최소화하는 기술을 개시하고 있을 뿐이며, 새롭게 개발되는 반도체 소자에서 임의의 변화를 최소화하는 것에 대해서는 개시하지 못하고 있다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 1. 한국등록특허 제10-1506902호.

발명의 내용

해결하려는 과제

[0011] 본 발명의 목적은 임의의 변화의 영향을 최소화하도록 디자인 파라미터, 예컨대 소스 영역의 돌출부의 두께를 최적화하여 결정할 수 있어서 임의의 변화에 대해 강한 소자를 반도체 소자를 설계할 수 있는 임의의 변화를 최소화하는 디자인 파라미터 결정 장치 및 결정 방법을 제공하는 데 있다.

과제의 해결 수단

[0012] 상기 기술적 과제를 달성하기 위하여, 본 발명은 돌출부를 포함하는 소스 영역; 상기 돌출부의 일 측에 구비되는 제1 게이트 전극; 상기 돌출부의 상기 제1 게이트 전극과 대향하는 측에 구비되는 제2 게이트 전극; 상기 돌출부 상에 상기 제1 게이트 전극과 상기 제2 게이트 전극의 사이에 구비되는 채널 영역; 상기 채널 영역의 상부에 구비되는 드레인 영역; 및 상기 채널 영역과 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 경계면과, 상기 소스 영역과 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 경계면과, 상기 드레인 영역 중 적어도 상기 제1 게이트 전극 및 상기 제2 게이트 전극과 대향하는 면에 구비되는 절연막을 포함하고, 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 길이(L_{gate})는, 상기 채널 영역의 길이($L_{channel}$) 및 상기 돌출부의 두께(T_{sov})에 대해서, $L_{gate} = L_{channel} + T_{sov}$ 를 만족하는 것인 수직 구조 터널 전계 효과 트랜지스터의 임의의 변화를 최소화하는 디자인 파라미터 결정 장치로서, 상기 디자인 파라미터 결정 장치는 프로그램을 저장하는 저장 수단 및 상기 프로그램을 실행하는 프로세서를 포함하며, 상기 프로그램은, 상기 수직 구조 터널 전계 효과 트랜지스터의 소자 파라미터들을 입력받는 제1 인스트럭션; 상기 돌출부의 두께(T_{sov})를 변화시키면서 상기 수직 구조 터널 전계 효과 트랜지스터의 LER(Line Edge Roughness)에 따른 소자 특성 및 RDF(Random Dopant Fluctuation)에 따른 소자 특성을 상기 소자 파라미터들을 기초로 산출하는 제2 인스트럭션; 및 상기 LER에 따른 소자 특성 및 상기 RDF에 따른 소자 특성을 기초로 상기 돌출부의 최종 두께를 결정하는 제3 인스트럭션을 포함하는 임의의 변화를 최소화하는 디자인 파라미터 결정 장치를 제공한다.

- [0013] 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치에 있어서, 상기 소자 파라미터들은 상기 제 1 게이트 전극 및 상기 제2 게이트 전극의 길이(Lgate), 상기 돌출부의 폭(Wsov), 상기 돌출부를 제외한 상기 소스 영역의 두께(Tsource), 상기 소스 영역 및 상기 드레인 영역의 도핑 농도, 상기 채널 영역의 도핑 농도, 상기 소스 영역과 상기 드레인 영역과 상기 채널 영역의 재질, 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 재질, 상기 수직 구조 터널 전계 효과 트랜지스터의 등가 산화막 두께, 상기 수직 구조 터널 전계 효과 트랜지스터의 게이트 일함수 및 공급 전압 중 적어도 하나를 포함할 수 있다.
- [0014] 삭제
- [0015] 또한 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치에 있어서, 상기 LER에 따른 소자 특성은 상기 수직 구조 터널 전계 효과 트랜지스터의 문턱 전압(V_{TH})의 LER에 따른 분산(σV_{TH-LER})을 포함하는 것이고, 상기 RDF에 따른 소자 특성은 상기 수직 구조 터널 전계 효과 트랜지스터의 문턱 전압(V_{TH})의 RDF에 따른 분산(σV_{TH-RDF})을 포함할 수 있다.
- [0016] 또한 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치에 있어서, 상기 제3 인스트럭션은 $\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 값을 산출했을 때 상기 $\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 값이 최소가 되는 경우의 상기 돌출부의 두께(Tsov)를 상기 돌출부의 최종 두께로 결정하는 제3-1 인스트럭션을 포함할 수 있다.
- [0017] 또한 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치에 있어서, 상기 LER에 따른 소자 특성 및 상기 RDF에 따른 소자 특성은 상기 수직 구조 터널 전계 효과 트랜지스터의 서브스레숄드 슬로프 값을 더 포함하는 것이고, 상기 제3 인스트럭션은 상기 서브스레숄드 슬로프 값이 60mV/decade 이하인 경우 중에서 $\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 값을 산출했을 때 상기 $\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 값이 최소가 되는 경우의 상기 돌출부의 두께(Tsov)를 상기 돌출부의 최종 두께로 결정하는 제3-2 인스트럭션을 포함할 수 있다.
- [0018] 또한 본 발명은 돌출부를 포함하는 소스 영역; 상기 돌출부의 일 측에 구비되는 제1 게이트 전극; 상기 돌출부의 상기 제1 게이트 전극과 대향하는 측에 구비되는 제2 게이트 전극; 상기 돌출부 상에 상기 제1 게이트 전극과 상기 제2 게이트 전극의 사이에 구비되는 채널 영역; 상기 채널 영역의 상부에 구비되는 드레인 영역; 및 상기 채널 영역과 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 경계면과, 상기 소스 영역과 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 경계면과, 상기 드레인 영역 중 적어도 상기 제1 게이트 전극 및 상기 제2 게이트 전극과 대향하는 면에 구비되는 절연막을 포함하고, 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 길이(Lgate)는, 상기 채널 영역의 길이(Lchannel) 및 상기 돌출부의 두께(Tsov)에 대해서, $Lgate = Lchannel + Tsov$ 를 만족하는 것인 수직 구조 터널 전계 효과 트랜지스터의 임의 변화를 최소화하는 디자인 파라미터 결정 방법으로서, (a) 상기 수직 구조 터널 전계 효과 트랜지스터의 소자 파라미터들을 입력받는 단계; (b) 상기 돌출부의 두께(Tsov)를 변화시키면서 상기 수직 구조 터널 전계 효과 트랜지스터의 LER(Line Edge Roughness)에 따른 소자 특성 및 RDF(Random Dopant Fluctuation)에 따른 소자 특성을 상기 소자 파라미터들을 기초로 산출하는 단계; 및 (c) 상기 LER에 따른 소자 특성 및 상기 RDF에 따른 소자 특성을 기초로 상기 돌출부의 최종 두께를 결정하는 단계를 포함하는 임의 변화를 최소화하는 디자인 파라미터 결정 방법을 제공한다.
- [0019] 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 방법에 있어서, 상기 소자 파라미터들은 상기 제 1 게이트 전극 및 상기 제2 게이트 전극의 길이(Lgate), 상기 돌출부의 폭(Wsov), 상기 돌출부를 제외한 상기 소스 영역의 두께(Tsource), 상기 소스 영역 및 상기 드레인 영역의 도핑 농도, 상기 채널 영역의 도핑 농도, 상기 소스 영역과 상기 드레인 영역과 상기 채널 영역의 재질, 상기 제1 게이트 전극 및 상기 제2 게이트 전극의 재질, 상기 수직 구조 터널 전계 효과 트랜지스터의 등가 산화막 두께, 상기 수직 구조 터널 전계 효과 트랜지스터의 게이트 일함수 및 공급 전압 중 적어도 하나를 포함할 수 있다.
- [0020] 삭제
- [0021] 또한 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 방법에 있어서, 상기 LER에 따른 소자 특성은 상기 수직 구조 터널 전계 효과 트랜지스터의 문턱 전압(V_{TH})의 LER에 따른 분산(σV_{TH-LER})을 포함하는

것이고, 상기 RDF에 따른 소자 특성은 상기 수직 구조 터널 전계 효과 트랜지스터의 문턱 전압(V_{TH})의 RDF에 따른 분산(σV_{TH-RDF})을 포함할 수 있다.

[0022] 또한 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 방법에 있어서, 상기 단계 (c)는, $\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 값을 산출했을 때 상기 $\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 값이 최소가 되는 경우의 상기 돌출부의 두께(T_{sov})를 상기 돌출부의 최종 두께로 결정하는 단계를 포함할 수 있다.

[0023] 또한 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 방법에 있어서, 상기 LER에 따른 소자 특성 및 상기 RDF에 따른 소자 특성은 상기 수직 구조 터널 전계 효과 트랜지스터의 서브스레슬드 슬로프(sub-threshold slope) 값을 더 포함하는 것이고, 상기 단계 (c)는, 상기 서브스레슬드 슬로프 값이 60mV/decade 이하인 경우 중에서 $\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 값을 산출했을 때 상기 $\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 값이 최소가 되는 경우의 상기 돌출부의 두께(T_{sov})를 상기 돌출부의 최종 두께로 결정하는 단계를 포함할 수 있다.

발명의 효과

[0024] 본 발명에 따르면 임의 변화의 영향을 최소화하도록 디자인 파라미터, 예컨대 소스 영역의 돌출부의 두께를 최적화하여 결정할 수 있어서 임의 변화에 대해 강인한 소자를 반도체 소자를 설계할 수 있는 임의 변화를 최소화하는 디자인 파라미터 결정 장치 및 결정 방법을 제공할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치의 예시적인 블록도.
- 도 2는 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치에서 적용되는 수직 구조 터널 전계 효과 트랜지스터의 예시적인 구성을 나타내는 도면.
- 도 3은 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치에서 적용되는 수직 구조 터널 전계 효과 트랜지스터에서 터널링을 설명하기 위한 도면으로서, 도 2의 수직 구조 터널 전계 효과 트랜지스터의 단면을 예시적으로 나타내는 도면.
- 도 4는 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치에서 적용되는 수직 구조 터널 전계 효과 트랜지스터의 파라미터를 설명하기 위한 도면으로서, 도 2의 수직 구조 터널 전계 효과 트랜지스터의 단면을 예시적으로 나타내는 도면.
- 도 5는 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치에서 적용되는 수직 구조 터널 전계 효과 트랜지스터에 있어서, 돌출부의 폭(W_{sov})에 따른 V_{GS} (게이트 소스 전압)와 I_{DS} (드레인 소스 전류)의 관계를 예시적으로 나타내는 도면.
- 도 6은 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치가 저장 및 실행하는 프로그램의 예시적인 블록도.
- 도 7은 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 방법의 예시적인 흐름도.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 본 발명의 임의 변화를 최소화하는 디자인 파라미터 결정 장치 및 결정 방법의 실시예를 첨부한 도면을 참조로 보다 구체적으로 설명한다.
- [0027] 도 1은 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치의 예시적인 블록도이다.
- [0028] 도 1을 참조하면, 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치(1000)는 프로세서(1100) 및 저장 수단(1300)을 포함한다.
- [0029] 본 발명에 임의 변화를 최소화하는 디자인 파라미터 결정 장치(1000)는 예컨대 개인용 컴퓨터 등의 컴퓨팅 장치일 수도 있으나, 바람직하게는 워크스테이션 등의 업무용 컴퓨팅 장치일 수 있다
- [0030] 프로세서(1100)는 프로그램(1500)을 실행하고, 저장 수단(1300)은 프로그램(1500)을 저장한다. 저장 수단(1300)

0)은 예컨대 기록 및 판독이 가능한 비휘발성 메모리 또는 휘발성 메모리 또는 하드 디스크 등의 기록 매체이다.

- [0031] 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치(1000)에 대해서 상세히 설명하기 전에 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치(1000)에서 적용되는 수직 구조 터널 전계 효과 트랜지스터에 대해서 상세히 설명하면 다음과 같다.
- [0032] 도 2 내지 도 4를 참조하면, 본원 발명의 발명자가 연구 중인 수직 구조 터널 전계 효과 트랜지스터가 도시된다. 도 2는 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치(1000)에서 적용되는 수직 구조 터널 전계 효과 트랜지스터의 예시적인 구성을 나타내는 도면이다. 또한 도 3은 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치(1000)에서 적용되는 수직 구조 터널 전계 효과 트랜지스터에서 터널링을 설명하기 위한 도면으로서, 도 2의 수직 구조 터널 전계 효과 트랜지스터의 단면을 예시적으로 나타내는 도면이다. 또한 도 4는 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치에서 적용되는 수직 구조 터널 전계 효과 트랜지스터의 파라미터를 설명하기 위한 도면으로서, 도 2의 수직 구조 터널 전계 효과 트랜지스터의 단면을 예시적으로 나타내는 도면이다.
- [0033] 도 2 내지 도 4에서 각 구성 요소는 설명을 위해서 실제 축적과는 다르게 도시될 수 있다. 예컨대 도 4에서 컨택트 영역(180b)은 도 2와는 다른 축적으로 도시되며, 다른 구성 요소에 대해서도 마찬가지로 실제 축적과는 다르게 도시될 수 있다. 또한 도 2 내지 도 4에서 각 구성 요소는 설명을 위해서 도시를 생략할 수도 있다.
- [0034] 기존의 터널 전계 효과 트랜지스터에 비해서, 본원 발명의 발명자가 연구 중인 수직 구조 터널 전계 효과 트랜지스터는 돌출부(110a)를 포함하는 소스 영역(110); 돌출부(110a)의 일 측에 구비되는 제1 게이트 전극(140a); 돌출부(110a)의 제1 게이트 전극(140a)과 대향하는 측에 구비되는 제2 게이트 전극(140b); 돌출부(110a) 상에 제1 게이트 전극(140a)과 제2 게이트 전극(140b)의 사이에 구비되는 채널 영역(120); 채널 영역(120)의 상부에 구비되는 드레인 영역(130); 및 채널 영역(120)과 제1 게이트 전극(140a) 및 제2 게이트 전극(140b)의 경계면과, 소스 영역(110)과 제1 게이트 전극(140a) 및 제2 게이트 전극(140b)의 경계면과, 드레인 영역(130) 중 적어도 제1 게이트 전극(140a) 및 제2 게이트 전극(140b)과 대향하는 면에 구비되는 절연막(150)을 포함하는 점에서 차이가 있다.
- [0035] 특히 소스 영역(110), 채널 영역(120) 및 드레인 영역(130)이 수직으로 배치된다는 점에서 본원 발명의 발명자가 연구 중인 터널 전계 효과 트랜지스터를 "수직 구조 터널 전계 효과 트랜지스터"라고 지칭한다.
- [0036] 이하 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치(1000)에서 적용되는 수직 구조 터널 전계 효과 트랜지스터의 구조에 대해서 보다 상세하게 설명한다.
- [0037] 소스 영역(110)은 돌출부(110a)를 포함한다. 소스 영역(110)은 예컨대 게르마늄을 포함할 수 있다. 소스 영역(110)은 예컨대 p-타입 불순물로 도핑될 수 있으며, p-타입 불순물의 도핑 농도는 $1 \times 10^{18} / \text{cm}^3$ 내지 $1 \times 10^{20} / \text{cm}^3$ 일 수 있다. p-타입 불순물은 알루미늄(Al), 붕소(B), 인듐(In) 및 갈륨(Ga) 중에서 적어도 하나를 포함한다.
- [0038] 채널 영역(120)은 돌출부(110a) 상에 구비되며, 또한 제1 게이트 전극(140a)과 제2 게이트 전극(140b) 사이에 구비된다. 채널 영역(120)은 바람직하게는 실리콘을 포함한다. 채널 영역(120)은 p-타입 불순물 및 n-타입 불순물 중 어느 하나로 도핑될 수 있다. p-타입 불순물은 알루미늄(Al), 붕소(B), 인듐(In) 및 갈륨(Ga) 중에서 적어도 하나를 포함하며, n-타입 불순물은 비소(As), 인(P), 비스무스(Bi) 및 안티몬(Sb) 중에서 적어도 하나를 포함한다. 다만 채널 영역(120)의 불순물의 도핑 농도는 $1 \times 10^{14} / \text{cm}^3$ 내지 $1 \times 10^{16} / \text{cm}^3$ 로서 소스 영역(110)이나 드레인 영역(130)의 불순물의 도핑 농도에 비해서 낮다.
- [0039] 또는 채널 영역(120)은 진성(intrinsic) 실리콘을 포함할 수도 있다.
- [0040] 드레인 영역(130)은 채널 영역(120)의 상부에 구비된다. 보다 구체적으로 도 1 내지 도 3을 참조하면 드레인 영역(130)의 최하면이 제1 게이트 전극(140a)과 제2 게이트 전극(140b)의 최상면보다 같거나 높도록, 드레인 영역(130)은 채널 영역(120)의 상부에 구비된다.
- [0041] 드레인 영역(130)은 예컨대 실리콘을 포함할 수 있다. 드레인 영역(130)은 예컨대 n-타입 불순물로 도핑될 수 있으며, n-타입 불순물의 도핑 농도는 $1 \times 10^{18} / \text{cm}^3$ 내지 $1 \times 10^{20} / \text{cm}^3$ 일 수 있다. n-타입 불순물은 비소(As), 인(P), 비스무스(Bi) 및 안티몬(Sb) 중에서 적어도 하나를 포함한다.
- [0042] 소스 영역(110)과 드레인 영역(130)은 상기와 같이 고농도 도핑(heavily doped)된 것이다. 예컨대 소스 영역

(110)은 게르마늄에 예컨대 $1 \times 10^{19}/\text{cm}^3$ 의 도핑 농도로 p-타입 불순물로 고농도 도핑된 것이고, 드레인 영역(130)은 실리콘에 예컨대 $1 \times 10^{19}/\text{cm}^3$ 의 도핑 농도로 n-타입 불순물로 고농도 도핑된 것이다.

- [0043] 제1 게이트 전극(140a)은 소스 영역(110) 상에 구비되며, 보다 구체적으로는 돌출부(110a)의 일 측에 배치된다.
- [0044] 제2 게이트 전극(140b)은 소스 영역(110) 상에 구비되며, 보다 구체적으로는 돌출부(110a)의 제1 게이트 전극(140a)과 대향하는 측에 구비된다.
- [0045] 제1 게이트 전극(140a) 및 제2 게이트 전극(140b) 중 적어도 하나는 폴리실리콘, 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 산화 루테튬(RuO_2), 티타늄(Ti), 질화티타늄(TiN), 탄탈륨(Ta) 및 질화탄탈륨(TaN)을 포함하는 그룹으로부터 선택되는 물질을 포함할 수 있다. 바람직하게는 제1 게이트 전극(140a) 및 제2 게이트 전극(140b)은 동일한 물질을 이용하여 제조될 수 있다.
- [0046] 예컨대 제1 게이트 전극(140a) 및 제2 게이트 전극(140b) 중 적어도 하나, 바람직하게는 모두는 n-타입 불순물로 도핑된 폴리실리콘을 포함할 수도 있다. 제1 게이트 전극(140a) 및 제2 게이트 전극(140b) 중 적어도 하나에 포함되는 폴리실리콘에 도핑된 불순물의 도핑 농도는 예컨대 $1 \times 10^{18}/\text{cm}^3$ 내지 $1 \times 10^{20}/\text{cm}^3$ 이다.
- [0047] 절연막(150)은 채널 영역(120)과 제1 게이트 전극(140a) 및 제2 게이트 전극(140b)의 경계면과, 소스 영역(110)과 상기 제1 게이트 전극(140a) 및 제2 게이트 전극(140b)의 경계면과, 드레인 영역(130) 중 적어도 제1 게이트 전극(140a) 및 제2 게이트 전극(140b)과 대향하는 면에 구비된다.
- [0048] 절연막(150)은 도 2 내지 도 4를 참조하면, 드레인 영역(130)의 상면 중 적어도 일부에 구비될 수 있다. 절연막(150)은 예컨대 SiO_2 , Si_3N_4 , Al_2O_3 , HfO_2 , La_2O_3 및 ZrO_2 중에서 적어도 어느 하나를 포함할 수 있다.
- [0049] 한편 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치(1000)에서 적용되는 수직 구조 터널 전계 효과 트랜지스터는 제1 게이트 전극(140a), 제2 게이트 전극(140b), 드레인 영역(130) 및 소스 영역(110)에 각각 구비되는 컨택트 영역을 더 포함할 수 있다.
- [0050] 예컨대 도 2를 참조하면, 드레인 영역(130)의 상부에 컨택트 영역(180a)이 구비되며, 소스 영역(110)의 상부에 컨택트 영역(180b)이 구비될 수 있다. 또한 도시되지는 않았지만, 제1 게이트 전극(140a)과 제2 게이트 전극(140b)의 상부에도 각각 컨택트 영역이 구비될 수 있다.
- [0051] 한편 도 2를 참조하면, 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치(1000)에서 적용되는 수직 구조 터널 전계 효과 트랜지스터는 기관(160)을 더 포함할 수 있다.
- [0052] 기관(160) 상에는 소스 영역(110)이 배치된다.
- [0053] 기관(160)은 실리콘(Si) 기관, 게르마늄(Ge) 기관, 실리콘 및 게르마늄의 화합물을 포함하는 기관, III-V족 화합물을 포함하는 기관, SOI(Silicon-on-insulator) 기관, GOI(Germanium-on-insulator) 기관 및 SGOI(Silicon-Germanium-on-insulator) 기관 중 어느 하나일 수 있다.
- [0054] 한편 도 2를 참조하면, 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치(1000)에서 적용되는 수직 구조 터널 전계 효과 트랜지스터는 기관(160) 및 매물 산화막(170)을 더 포함할 수 있다. 소스 영역(110)은 매물 산화막(170) 상에 구비된다. 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치(1000)에서 적용되는 수직 구조 터널 전계 효과 트랜지스터는 기관(160) 및 매물 산화막(170)을 더 포함하는 경우, 기관(160)은 실리콘(Si) 기관, 게르마늄(Ge) 기관, 실리콘 및 게르마늄의 화합물을 포함하는 기관 및 III-V족 화합물을 포함하는 기관 중 어느 하나일 수 있다.
- [0055] 도 3을 참조하면, 터널링은 제1 게이트 전극(140a)과 소스 영역(110)의 사이의 영역(115a) 및 제2 게이트 전극(140b)과 소스 영역(110)의 사이의 영역(115b)에서 발생한다. 소스 영역(110)은 전술하듯이 게르마늄을 포함하고 p-타입 불순물로 고농도 도핑된다. 터널링에 의해서 발생한 전자들은 소스 영역(110)에서 드레인 영역(130)으로 화살표 방향으로 이동한다. 이와 같이 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치(1000)에서 적용되는 수직 구조 터널 전계 효과 트랜지스터에서는 터널링이 소스 영역(110)의 내부에서만 발생하는 것을 알 수 있다.
- [0056] 한편 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치(1000)에서 적용되는 수직 구조 터널 전계 효과 트랜지스터의 동작 특성을 보다 명확하게 설명하기 위하여 도 4의 단면도를 참조하여 다음과 같이 파

라미터를 설정하였다.

- [0057] 도 4에서 Wsov는 돌출부(110a)의 폭을 의미한다. Wsov는 또한 채널 영역(120) 또는 드레인 영역(130)의 폭과도 같은 값이다.
- [0058] Lchannel은 채널 영역(120)의 길이를 나타낸다.
- [0059] Lgate는 제1 게이트 전극(140a) 및 제2 게이트 전극(140b)의 길이를 나타낸다.
- [0060] Tsov는 돌출부(110a)의 두께를 나타낸다.
- [0061] 도 4를 참조하면 Lgate = Lchannel + Tsov임을 알 수 있다.
- [0062] 즉 돌출부(110a)의 두께와 채널 영역(120)의 길이를 더 하면 게이트 전극(140a, 140b)의 길이이다.
- [0063] 도 5는 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치에서 적용되는 수직 구조 터널 전계 효과 트랜지스터에 있어서, 돌출부의 폭(Wsov)에 따른 VGS(게이트 소스 전압)와 IDS(드레인 소스 전류)의 관계를 예시적으로 나타내는 도면이다. 도 5의 결과는 예컨대 후술하는 [표 1]에 기재된 소자 파라미터들을 이용하여 실험을 수행하였다. 단 돌출부의 폭(Wsov)은 변경하면서 수행하였다. 기타 소자 파라미터들은 예컨대 [표 1]에 대한 설명과 관련해서 기재한 사항을 적절하게 사용하였다.
- [0064] 도 5를 참조하면, 예컨대 Lgate가 80nm인 것과 같은 후술하는 [표 1]의 조건에서 돌출부(110a)의 폭(Wsov)[또는 채널 영역(120)의 폭 또는 드레인 영역(130)의 폭]에 대해서 돌출부의 폭(Wsov)이 30 nm 이상인 경우에는 성능 측면에서의 변화가 거의 없는 것을 확인할 수 있다. 다만 Wsov를 30 nm 미만으로 한 경우에는, 도 3의 영역(115a, 115b)에서 터널링이 충분하지 않다는 문제가 발생할 수 있다. 따라서 예컨대 후술하는 [표 1]의 게이트 일함수 값을 변경하여야 Wsov를 더 줄여도 정상적인 동작이 가능하다는 것을 확인할 수 있었다.
- [0065] 본 발명자의 연구 결과, 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치에서 적용되는 수직 구조 터널 전계 효과 트랜지스터에서 소자 특성을 결정하는 중요한 디자인 파라미터 중의 하나는 돌출부(110a)의 두께(Tsov)인 것을 확인하였다.
- [0066] 이하 디자인 파라미터, 특히 돌출부(110a)의 두께(Tsov)를 결정하는 것에 대해서 보다 상세하게 설명한다.
- [0067] 도 6은 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 장치가 저장 및 실행하는 프로그램의 예시적인 블록도이다.
- [0068] 도 6을 참조하면, 프로그램(1500)은 제1 인스트럭션(1500-1) 내지 제3 인스트럭션(1500-3)을 포함한다.
- [0069] 제1 인스트럭션(1500-1)은 수직 구조 터널 전계 효과 트랜지스터의 소자 파라미터들을 입력받는다.
- [0070] 소자 파라미터들은 예컨대 다음 [표 1]과 같다.

표 1

파라미터(단위)	값	비고
Lgate (nm)	80	게이트 전극(제1 게이트 전극, 제2 게이트 전극)의 길이
EOT (nm)	1	등가 산화막 두께
Wsov (nm)	40	돌출부(채널 영역, 드레인 영역)의 폭
Tsource (nm)	30	소스 영역의 두께(돌출부의 두께 제외)
ΦM (eV)	4.0	게이트 일함수
VDD (V)	0.5	공급 전압(Power supply voltage)
Nsd (cm ⁻³)	1×10 ¹⁹	소스 영역/드레인 영역의 도핑 농도
Nc (cm ⁻³)	1×10 ¹⁵	채널 영역의 도핑 농도

[표 1]에 도시된 소자 파라미터들은 단지 예시적인 것일 뿐이며, 도 2 내지 도 4를 참조로 설명한 수직 구조 터널 전계 효과 트랜지스터의 설계 시 설계 사양에 따라서 소자 파라미터들은 적절하게 변경될 수 있다. 또한 소자 파라미터들로서 소스 영역(110)의 재질은 p-타입으로 도핑된 게르마늄이고, 드레인 영역(130)의 재질은 n-타입으로 도핑된 실리콘이고, 채널 영역(120)의 재질은 p-타입 또는 n-타입으로 도핑된 실리콘 또는 진성 실리콘 일 수 있지만, 이 역시 설계 사양에 따라서 적절하게 변경될 수 있다. 채널 영역(120)의 도핑 농도는 소스 영역

(110) 및 드레인 영역(130)에 비해서는 매우 낮게 하였다. 또한 소자 파라미터들로서의 제1 게이트 전극(140a) 및 제2 게이트 전극(140b)의 재질은 폴리실리콘, 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 산화 루테튬(RuO₂), 티타늄(Ti), 질화티타늄(TiN), 탄탈륨(Ta) 및 질화탄탈륨(TaN)을 포함하는 그룹으로부터 선택되는 물질일 수 있다. 제1 게이트 전극(140a) 및 제2 게이트 전극(140b)의 재질은 특히 게이트 일함수와 관련해서 변경될 수 있다.

[0073] 이와 같이 제1 인스트럭션(1500-1)을 통하여 수직 구조 터널 전계 효과 트랜지스터의 소자 파라미터들이 입력될 수 있다.

[0074] 제2 인스트럭션(1500-2)은 돌출부의 두께(T_{sov})를 변화시키면서 수직 구조 터널 전계 효과 트랜지스터의 LER에 따른 소자 특성 및 RDF에 따른 소자 특성을 제1 인스트럭션(1500-1)을 통하여 입력받은 소자 파라미터들을 기초로 산출한다.

[0075] 전술하듯이 본원 발명의 발명자가 연구 중인 수직 구조 터널 전계 효과 트랜지스터에 있어서 돌출부(110a)의 두께(T_{sov})는 소자 특성을 결정하는 중요한 파라미터이다.

[0076] 즉 도 3을 참조로 확인할 수 있듯이, 터널링은 제1 게이트 전극(140a)과 소스 영역(110)의 사이의 영역(115a) 및 제2 게이트 전극(140b)과 소스 영역(110)의 사이의 영역(115b)에서 발생하고, 터널링에 의해서 발생한 전자들은 소스 영역(110)에서 드레인 영역(130)으로 화살표 방향으로 이동한다. 즉 터널링이 소스 영역(110)의 내부에서 발생하고, 특히 돌출부(110a)의 주변에서 발생하는 것을 알 수 있다.

[0077] 따라서 본원 발명의 발명자가 연구 중인 수직 구조 터널 전계 효과 트랜지스터의 다른 소자 파라미터들이 결정된 상태에서는, 돌출부의 폭(W_{sov})이 소정 값 이상인 경우에, 돌출부(110a)의 두께(T_{sov})는 수직 구조 터널 전계 효과 트랜지스터의 소자 특성에 가장 큰 영향을 미치게 된다.

[0078] 따라서 제2 인스트럭션(1500-2)을 통하여 돌출부(110a)의 두께(T_{sov})를 변화시키면서 LER에 따른 소자 특성 및 RDF에 따른 소자 특성을 산출한다.

[0079] LER에 따른 소자 특성은 수직 구조 터널 전계 효과 트랜지스터의 문턱 전압(V_{TH})의 LER에 따른 분산(σV_{TH-LER})을 포함할 수 있다.

[0080] RDF에 따른 소자 특성은 수직 구조 터널 전계 효과 트랜지스터의 문턱 전압(V_{TH})의 RDF에 따른 분산(σV_{TH-RDF})을 포함할 수 있다.

[0081] 또한 LER에 따른 소자 특성 및 RDF에 따른 소자 특성은 수직 구조 터널 전계 효과 트랜지스터의 서브스레슬드 슬로프 값을 더 포함할 수도 있다.

[0082] 수직 구조 터널 전계 효과 트랜지스터의 문턱 전압(V_{TH})의 분산은 특히 공정 상의 임의 변화에 따른 영향을 많이 받으며, 소자 특성에 중요한 영향을 미친다.

[0083] 따라서 제2 인스트럭션(1500-2)을 통하여 돌출부(110a)의 두께(T_{sov})를 변화시키면서 LER에 따른 소자 특성 및 RDF에 따른 소자 특성, 특히 문턱 전압(V_{TH})의 LER에 따른 분산(σV_{TH-LER})과 RDF에 따른 분산(σV_{TH-RDF})을 산출한다.

[0084] 제3 인스트럭션(1500-3)은 제2 인스트럭션(1500-2)을 통하여 산출한 LER에 따른 소자 특성 및 RDF에 따른 소자 특성을 기초로 돌출부의 최종 두께를 결정한다.

[0085] 보다 구체적으로, 제3 인스트럭션(1500-3-1)은 제3-1 인스트럭션((1500-3-1)을 포함할 수 있다.

[0086] 제3-1 인스트럭션((1500-3-1)에 대해서 보다 상세히 설명하면 다음과 같다.

[0087] 우선 $\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 값을 산출한다. 즉 문턱 전압(V_{TH})의 LER에 따른 분산(σV_{TH-LER})과 RDF에 따른 분산(σV_{TH-RDF})을 종합적으로 고려하기 위해서 $\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 값을 산출한다.

[0088] 다음으로 $\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 의 값이 최소가 되는 경우의 돌출부의 두께(T_{sov})를 돌출부의 최종 두께로 결정한다.

[0089] 다음 [표 2]는 제3-1 인스트럭션(1500-3-1)을 통하여 산출한 문턱 전압(V_{TH})의 분산값(σV_{TH}), 즉 $\sqrt{(\sigma V_{TH-LER})^2 + (\sigma V_{TH-RDF})^2}$ 를 나타낸다.

표 2

Lchannel/Tsov	80/0	70/10	60/20	50/30	40/40	30/50	20/60
σV_{TH} (mV)	23.9	17	15.2	13.1	14.1	14.6	17.5

[0091] [표 2]를 참조하면 [표 1]에 기재된 파라미터, 특히 Lgate가 80nm인 경우에 대해서, 문턱 전압(V_{TH})의 분산값(σV_{TH})이 최소가 되는 것은 Lchannel/Tsov이 50/30일 때, 즉 돌출부의 두께(Tsov)가 30 nm인 것을 확인할 수 있다.

[0092] 따라서 제3-1 인스트럭션(1500-3-1)을 통하여 30 nm를 돌출부의 최종 두께로 결정할 수 있다.

[0093] 한편 제3 인스트럭션(1500-3-1)은 제3-2 인스트럭션((1500-3-2)을 포함할 수 있다.

[0094] 제3-2 인스트럭션(1500-3-2)에서 LER에 따른 소자 특성 및 RDF에 따른 소자 특성은 수직 구조 터널 전계 효과 트랜지스터의 서브스레숄드 슬로프 값을 더 포함할 수 있다.

[0095] 제3-2 인스트럭션(1500-3-2)은 예컨대 [표 2]에 표시된 경우 중에서 서브스레숄드 슬로프 값이 60mV/decade 이하인 경우에서 문턱 전압(V_{TH})의 분산값(σV_{TH})이 최소가 되는 경우의 돌출부의 두께(Tsov)를 돌출부의 최종 두께로 결정한다는 점에서 제3-1 인스트럭션(1500-3-1)과 차이가 있다.

[0096] 본 발명자의 검토 결과, [표 2]에 표시된 경우에는 돌출부의 두께(Tsov)가 30 nm인 경우가 서브스레숄드 슬로프 값이 60mV/decade 이하이면서 문턱 전압(V_{TH})의 분산값(σV_{TH})이 최소가 된다. 따라서 제3-2 인스트럭션(1500-3-2)을 통하여 30 nm를 돌출부의 최종 두께로 결정할 수 있다.

[0097] 도 7은 본 발명에 따른 임의 변화를 최소화하는 디자인 파라미터 결정 방법의 예시적인 흐름도이다.

[0098] 우선 수직 구조 터널 전계 효과 트랜지스터의 소자 파라미터들을 입력받는다(S100).

[0099] 소자 파라미터들은 예컨대 [표 1]을 참조로 전술한 바와 같다.

[0100] 단계 S100에 대한 상세한 설명은 전술한 제1 인스트럭션(1500-1)과 동일하므로 상세한 설명은 생략한다.

[0101] 다음으로, 돌출부의 두께(Tsov)를 변화시키면서 수직 구조 터널 전계 효과 트랜지스터의 LER에 따른 소자 특성 및 RDF에 따른 소자 특성을 소자 파라미터들을 기초로 산출한다(S200).

[0102] 단계 S200에 대한 상세한 설명은 전술한 제2 인스트럭션(1500-2)과 동일하므로 상세한 설명은 생략한다.

[0103] 다음으로, LER에 따른 소자 특성 및 RDF에 따른 소자 특성을 기초로 돌출부의 최종 두께를 결정한다(S300).

[0104] 단계 S300에 대한 상세한 설명은 전술한 제3 인스트럭션(1500-3)과 동일하므로 상세한 설명은 생략한다.

[0105] 이상에서 설명한 바와 같이 본 발명에 따르면, 임의 변화의 영향을 최소화하도록 디자인 파라미터의 두께를 최적화하여 결정할 수 있어서 임의 변화에 대해 강인한 소자를 반도체 소자를 설계할 수 있다.

[0106] 특히 소스 영역의 돌출부는 본원 발명의 발명자가 연구 중인 수직 구조 터널 전계 효과 트랜지스터의 소자 특성에 중요한 디자인 파라미터로서, 본 발명에 따라서 돌출부의 최종 두께를 결정함으로써 임의 변화에 대해 강인한 소자를 반도체 소자를 설계할 수 있다.

[0107] 비록 본 발명의 구성이 구체적으로 설명되었지만 이는 단지 본 발명을 예시적으로 설명한 것에 불과한 것으로, 본 발명이 속하는 기술분야에서 통상의 지식을 가지는 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위 내에서 다양한 변형이 가능할 것이다.

[0108] 따라서 본 명세서에 개시된 실시예들은 본 발명을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 사상과 범위가 한정되는 것은 아니다. 본 발명의 범위는 아래의 청구범위에 의해 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할

것이다.

산업상 이용가능성

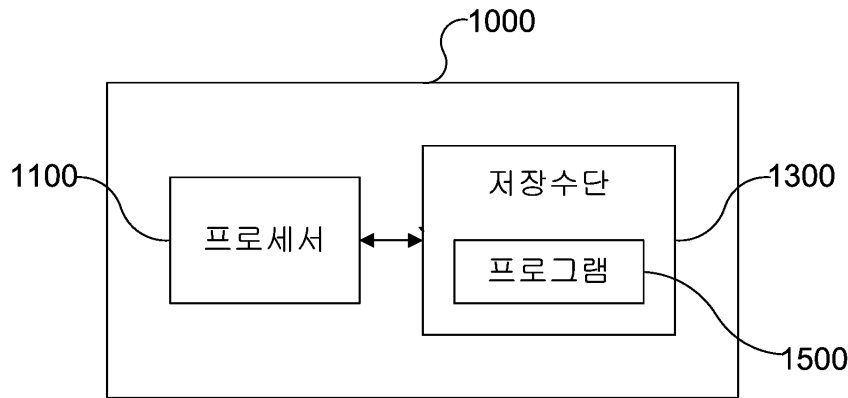
[0109] 본 발명에 따르면 임의 변화의 영향을 최소화하도록 디자인 파라미터, 예컨대 소스 영역의 돌출부의 두께를 최적화하여 결정할 수 있어서 임의 변화에 대해 강인한 소자를 반도체 소자를 설계할 수 있는 임의 변화를 최소화 하는 디자인 파라미터 결정 장치 및 결정 방법을 제공할 수 있다.

부호의 설명

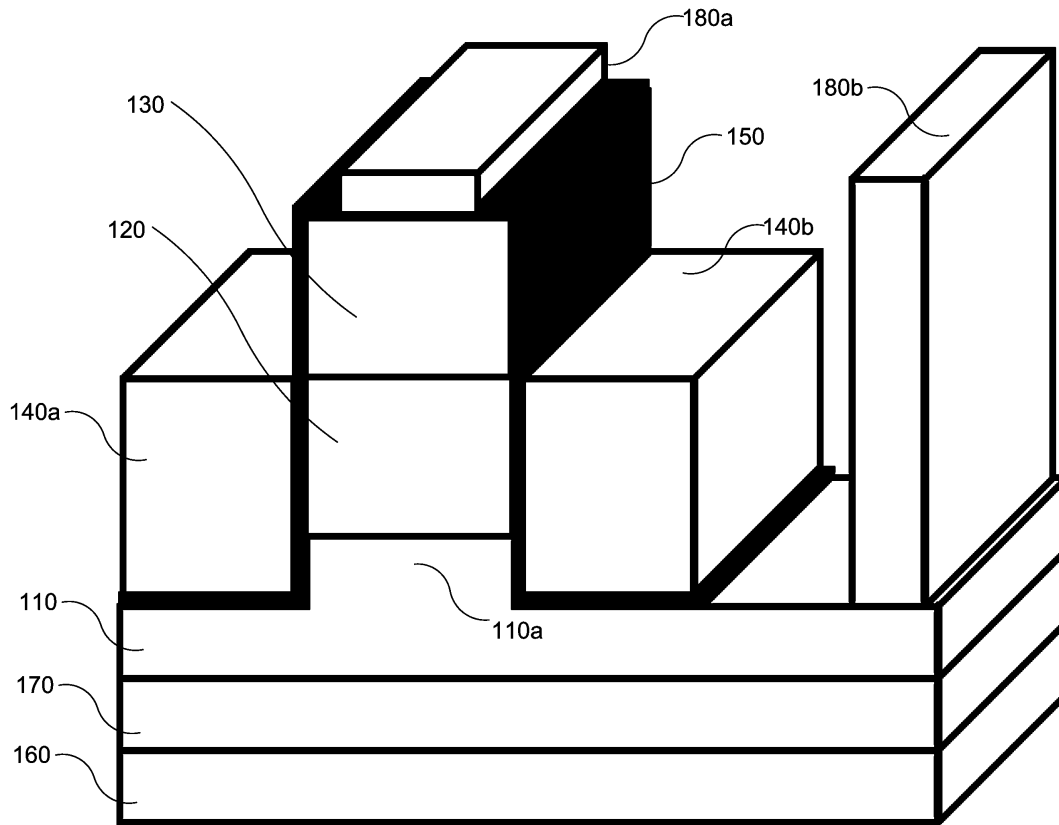
- [0110]
- | | |
|----------------------|-----------------|
| 110: 소스 영역 | 110a: 돌출부 |
| 115a, 115b: 영역 | 120: 채널 영역 |
| 130: 드레인 영역 | 140a: 제1 게이트 전극 |
| 140b: 제2 게이트 전극 | 150: 절연막 |
| 160: 기판 | 170: 매몰 산화막 |
| 180a 내지 180d: 컨택트 영역 | |
| 1000: 디자인 파라미터 결정 장치 | |
| 1100: 프로세서 | 1300: 저장 수단 |
| 1500: 프로그램 | |

도면

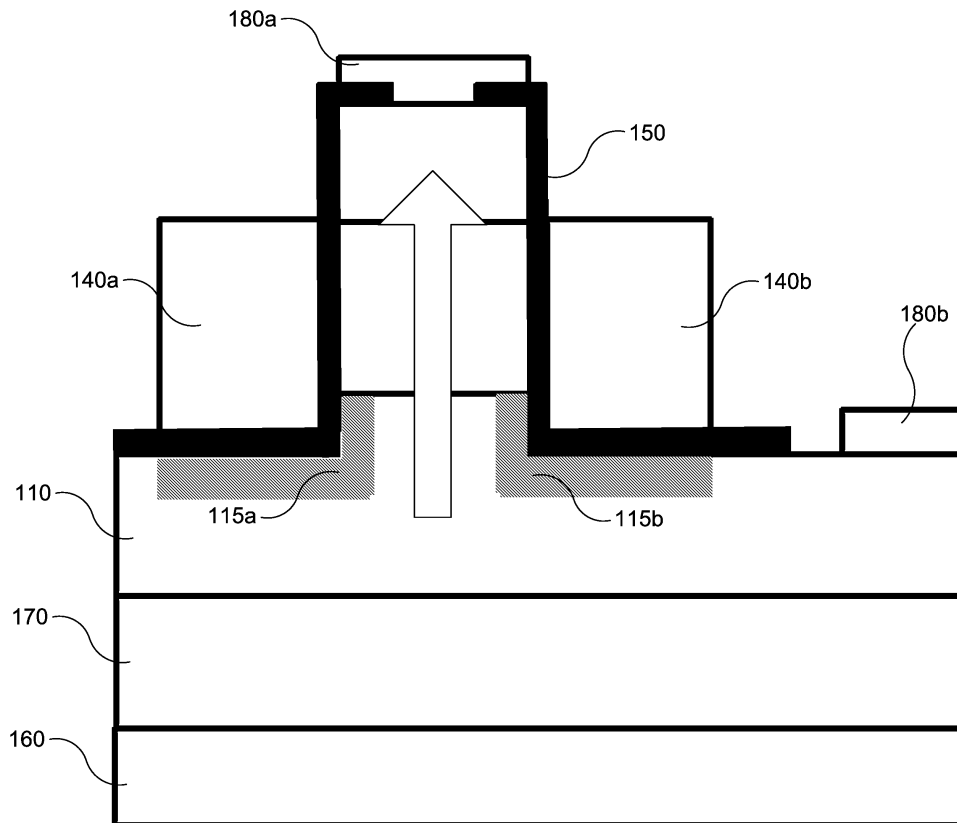
도면1



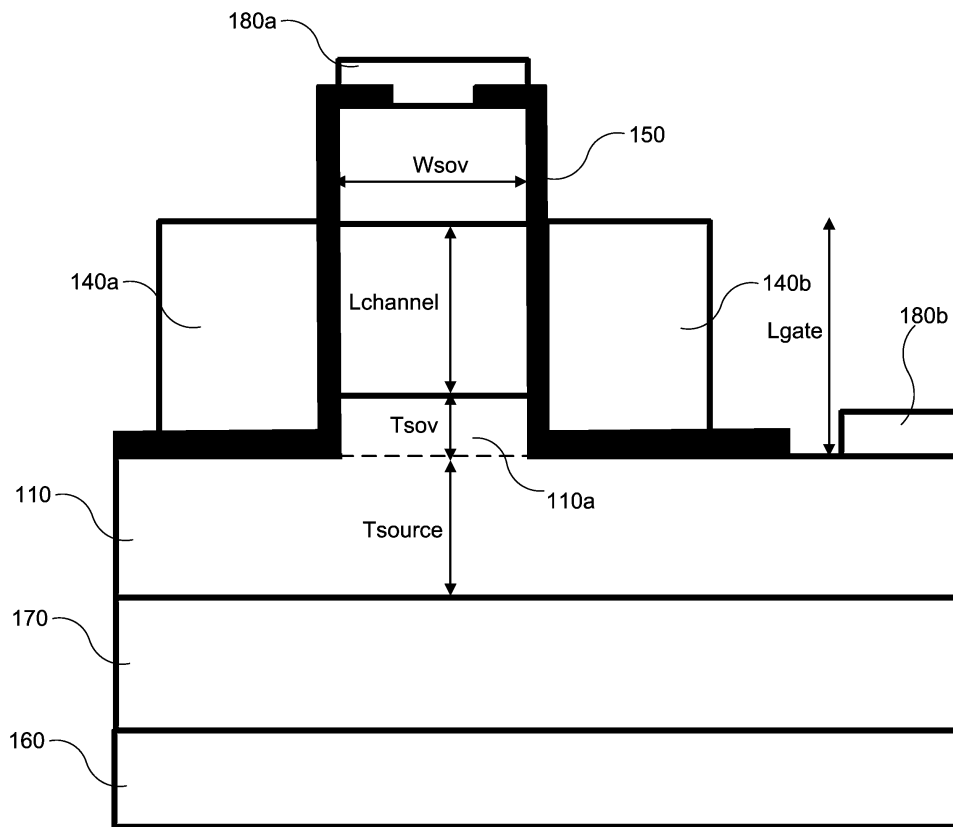
도면2



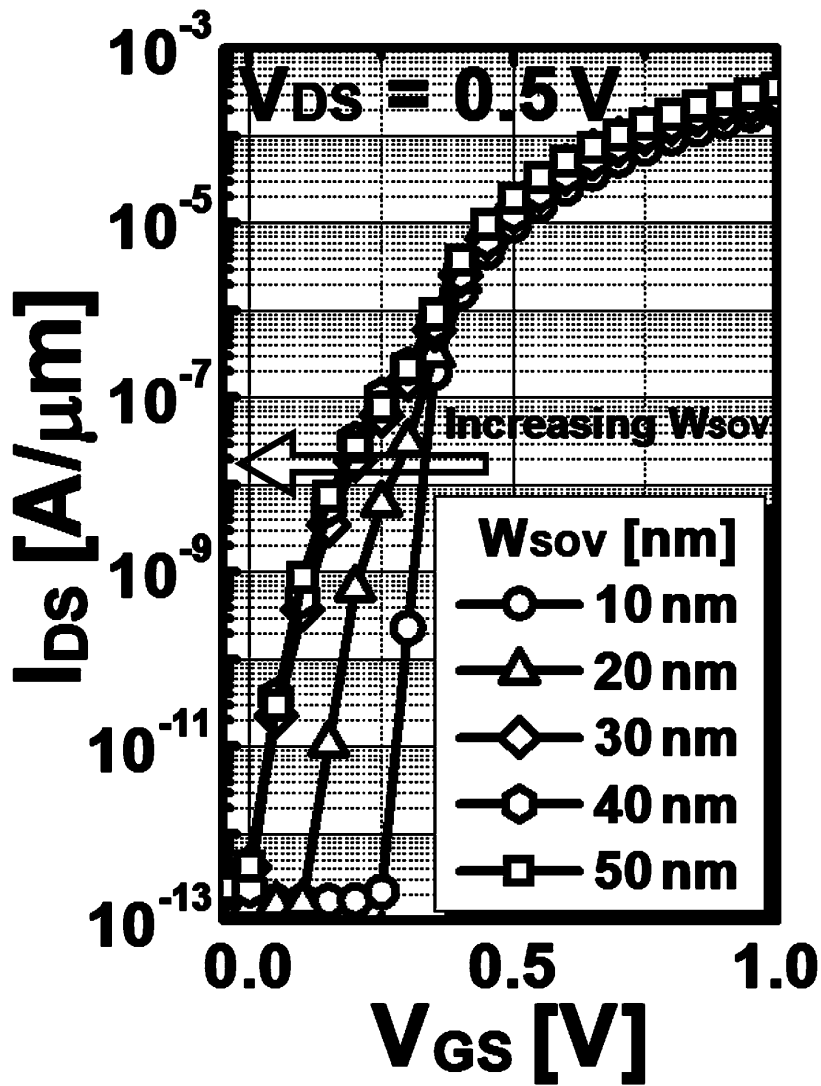
도면3



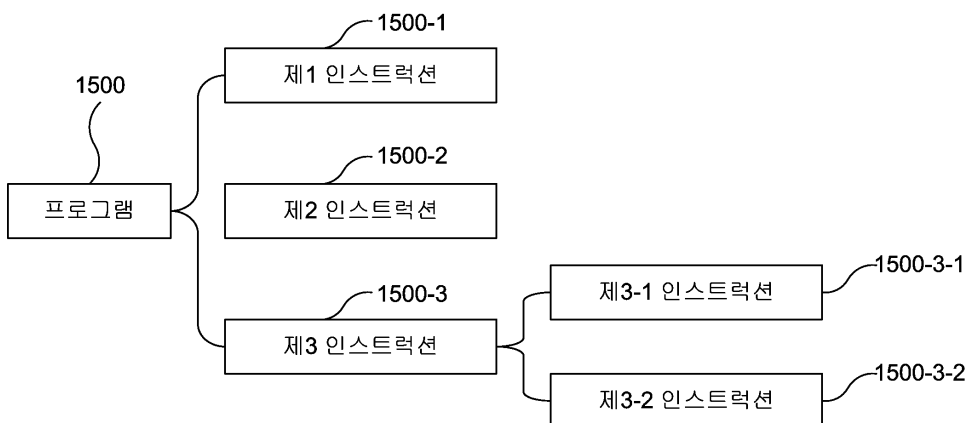
도면4



도면5



도면6



도면7

